

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 计算机体系结构 |
| 姓 名： | 刘思锐 |
| 学 院： | 计算机科学与技术学院 |
| 系： |  |
| 专 业： | 计算机科学与技术 |
| 学 号： | 3200102708 |
| 指导教师： | 陈文智 |

2022年 11月 20日

**浙江大学实验报告**

课程名称： 计算机体系结构 实验类型： 综合

实验项目名称： Pipelined CPU with Cache

学生姓名： 刘思锐 专业： 计算机科学与技术 学号： 3200102708

同组学生姓名： 陈镛屹 指导老师： 陈文智

实验地点： 曹西301 实验日期： 2022 年 11 月 15 日

1. 实验目的和要求

1. Understand the principle of Cache Management Unit (CMU) and State Machine of CMU.

2. Master the design methods of CMU and Integrate it to the CPU.

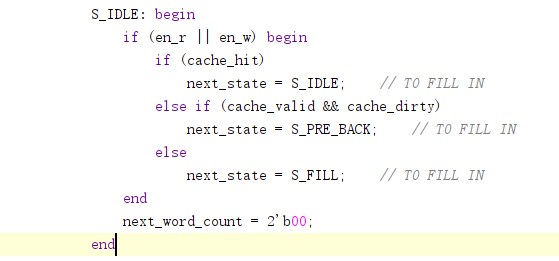
3. Master verification methods of CMU and compare the performance of CPU when it has cache or not.

1. 实验内容和原理
2. Design of Cache Management Unit and integrate it to CPU.
3. Observe and Analyze the Waveform of Simulation.
4. Compare the performance of CPU when it has cache or not.
5. 实验过程和数据记录

本次实验基于lab3 Cache设计，新增内容较少，只需要按照PPT所给状态图完成状态机。

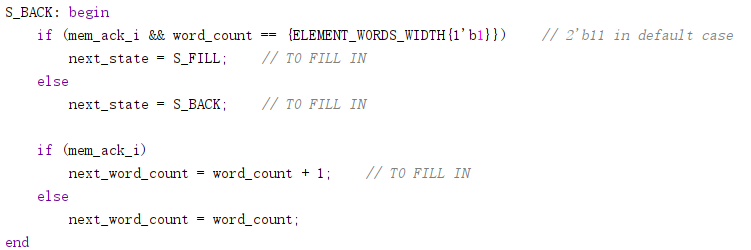


* 1. idle状态



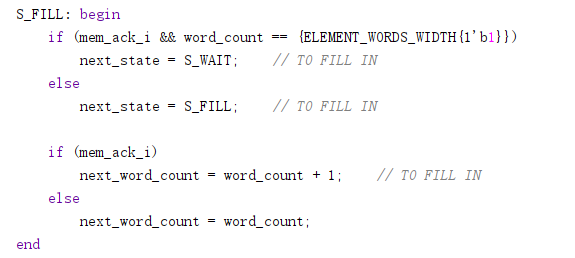
* 1. back状态

注意到本实验中为了模拟Memory慢于Cache，这里手动设置了计数器，每四个时钟才会切换下一个状态。



* 1. fill状态

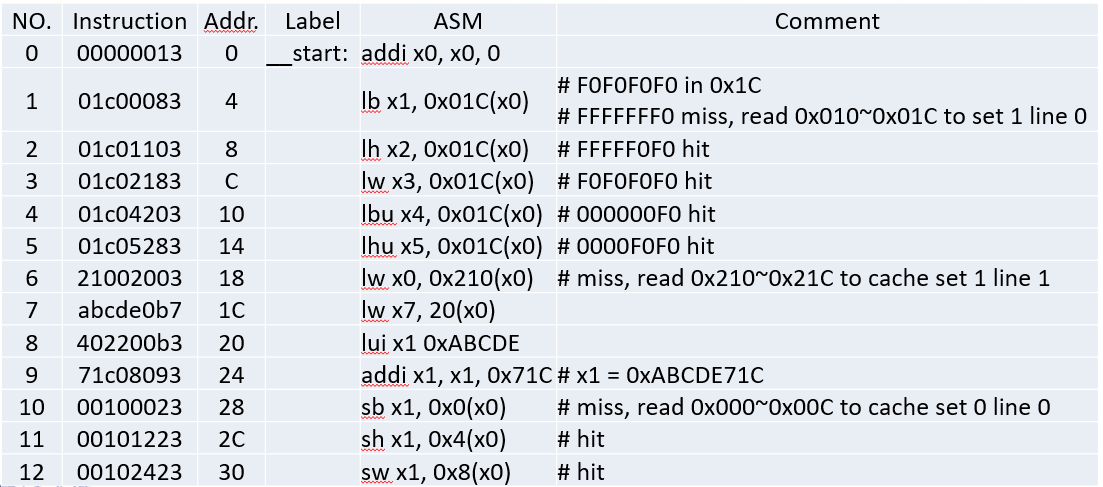
同3.2节，这里使用了word\_count人为模拟Mem延迟。

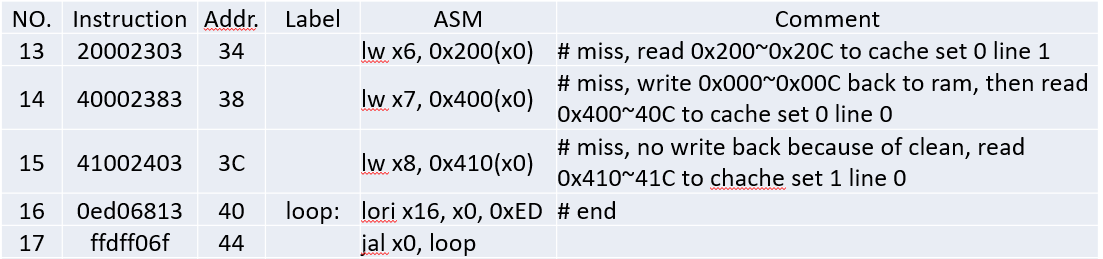


* 1. stall信号生成



1. 实验结果分析





本实验没有单独的仿真文件，上板后对照PPT可见处理器正常Stall。（工程中的ROM缺少了PPT上位于0x20位置的lui指令，因此从0x20开始此后所有的指令的位置相比PPT提前了4。）

1. 讨论与心得

第一次上板时没有发现工程的ROM与PPT有所区别，以为是自己的程序没有正确处理stall信号，但是Lab3中的仿真波形又与参考波形完全相同，当时在实验室非常惊慌，debug也无从下手，好在最后通过开发板上的指令显示找到了问题。

除此之外本次实验需要自己编写的代码不超过10行，状态机也非常清晰，实验过程中并没有遇到大的困难。